

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017483
(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H03H 7/075
H01F 27/00
H01F 41/04
H01G 4/40
H03H 3/00

(21)Application number : 09-170224
(22)Date of filing : 26.06.1997

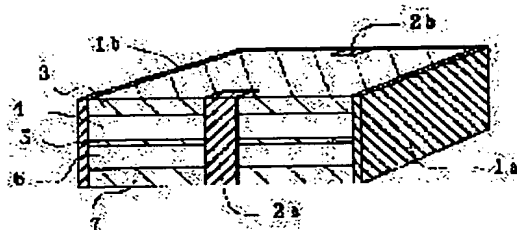
(71)Applicant : SUMITOMO METAL IND LTD
(72)Inventor : KANDA OSAMU

(54) LAMINATION 1C-TYPE NOISE FILTER AND ITS PRODUCING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a filtering effect by serially arranging inductors in an input/output terminal direction, arranging capacitors with ground terminals by means of one element from two placed in the serial intermediate contact point of the inductors and providing a double T-type circuit structure inside an element.

SOLUTION: A noise filter is the lamination three-terminal-type one which is composed of an input/output terminal and the ground terminal, the inductors are serially arranged in the input/output terminal direction by three elements, the capacitors are arranged with the ground terminal one element from the two places in the serial intermediate contact point of the inductors and the double T-type circuit structure is provided inside the element. The filter consists of, for example, the input/output terminal, input/output terminal electrodes 1a and 1b, the ground terminal, ground terminal electrodes 2a and 2b, L-element parts 3, 5 and 7 and C-element parts 4 and 6. Thus, not only the filtering effect against electromagnetic wave interference noise is improved further but also a restricting effect is increased furthermore even against impulse noise.



LEGAL STATUS

[Date of request for examination] 17.12.1999
[Date of sending the examiner's decision of rejection] 05.06.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 7 4 8 3

(43) 公開日 平成11年(1999)1月22日

(51) Int. Cl.⁶

識別記号

F I

H 0 3 H 7/075

H 0 3 H 7/075

A

H 0 1 F 27/00

H 0 1 F 41/04

C

41/04

H 0 3 H 3/00

H 0 1 G 4/40

H 0 1 F 15/00

D

H 0 3 H 3/00

H 0 1 G 4/40

3 2 1 A

審査請求 未請求 請求項の数 5

O L

(全 9 頁)

(21) 出願番号

特願平9-170224

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(22) 出願日

平成9年(1997)6月26日

(72) 発明者 神田 修

大阪府大阪市中央区北浜4丁目5番33号住友

金属工業株式会社内

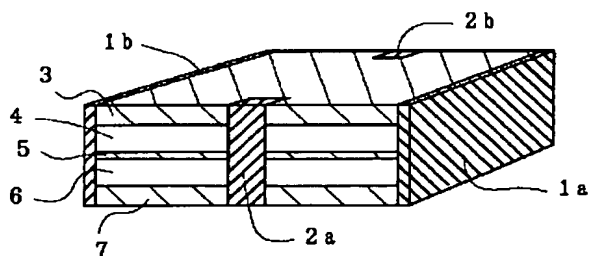
(74) 代理人 弁理士 穂上 照忠 (外1名)

(54) 【発明の名称】 積層 LC 型ノイズフィルタとその製造方法

(57) 【要約】

【課題】 積層チップ複合型のノイズフィルタの性能に関し、フィルタ効果をより向上させ、インパルスノイズに対しても抑止効果を大きくしたフィルタ素子およびその製造方法。

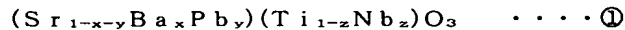
【解決手段】 (1) 内部で L 要素 3 個と C 要素 2 個からなるダブル T 型回路構成を有する積層チップ型三端子ノイズフィルタであって、積層チップの最上層と最下層とが磁性体で、かつ厚さ方向の磁性体層と誘電体層の配列順序が厚さの中心に対し上下対称とする。磁性体はソフトフェライト、誘電体は SrTiO_3 系の Sr の一部を Ba 、 Pb で、 Ti の一部を Nb でそれぞれ置換した酸化物を 100 重量部、 B_2O_3 : 0.2~0.8 重量部、 CuO : 0.05~0.25 重量部、および Ag_2O : 0.05~0.15 重量部を含有するパリスタ機能をもつ半導体セラミックスであり、製造方法はグリーンシート面に内部回路となる導電体を形成させ、スルーホールにより異層間の電気的接続をおこなわせるようにして各層を積層し、焼成して一体化する。



【特許請求の範囲】

【請求項 1】 入出力端子と、グランド端子から構成される積層 3 端子型ノイズフィルタ素子であって、インダクタが入出力端子方向に 3 要素直列に配され、当該インダクタの直列中間接点の 2ヶ所より、コンデンサがグランド端子との間に 1 要素ずつ配されて、素子内にダブル T 型の回路構造を有することを特徴とする積層 LC 型ノイズフィルタ。

【請求項 2】 表面に導電体線路が形成されたものを含む磁性体セラミックス層からなるインダクタ要素と、表面に形成された導電体が誘電体セラミックス層を挟んで対向しているものを含む誘電体セラミックス層からなるコンデンサ要素とが、それぞれ複数積層され、各導電体は、スルーホールにより相互に接続されているか、または積層体端面にまで延長されて外部接続端子を形成していることを特徴とする、請求項 1 に記載の積層 LC 型ノイズ



ここで、 x 、 y および z は、原子量比を表し、それぞれ $0.2 \leq x \leq 0.4$ 、 $0.3 \leq y \leq 0.5$ 、 $0.001 \leq z \leq 0.008$ 、の範囲とする。

【請求項 5】 磁性体グリーンシートまたは誘電体グリーンシートの面上に、内部回路となるインダクタ要素またはコンデンサ要素のそれぞれの機能を有する導電体によるパターンを形成させ、導電体パターンにはその下部のグリーンシートにスルーホールをあけてそこに導電体を充填することにより、異層間の電氣的接続をおこなわせるようにした部分を設けるか、またはシートの端面にまで延長した部分を設けて各層を積層し、焼成して一体化した後、一体化物の外面に沿って導電体を施工し、内部回路に接続させる入出力電極またはグランド電極を形成させることを特徴とする、請求項 1、請求項 2、請求項 3 または請求項 4 のいずれかに記載の積層 LC 型ノイズフィルタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子機器、あるいは電子回路において、そこから発生する電磁干渉ノイズの除去、またはその正常作動に影響を及ぼす外部から侵入してくる電磁干渉ノイズ、あるいはインパルス性ノイズの除去を目的として使用されるノイズフィルターおよびその製造方法に関する。

【0002】

【従来の技術】 小型パーソナルコンピュータや携帯電話等に代表される OA 機器あるいは移動通信機器の、信号の複雑化や処理速度の高速化にともない、機器が発生するノイズが増す一方、外部からのノイズによる正常信号への干渉、機器の誤動作が増大し、これらが近年大きな問題となってきている。さらに、機器の小型化、高密度化により、電子回路を構成する部材が精緻化・微細化し、パルスのノイズによる内部電子回路の破壊も生じやすく

*ノイズフィルタ。

【請求項 3】 積層体の最上層と最下層とが磁性体層からなり、かつ厚さ方向の磁性体層と誘電体層の配列順序が厚さの中心に対し上下対称であることを特徴とする、請求項 1 または請求項 2 に記載の積層 LC 型ノイズフィルタ。

【請求項 4】 磁性体は $X-Fe_2O_4$ (ただし X は Cu 、 Mn 、 Ni または Zn) で示されるソフトフェライトであり、誘電体は下記①式で示される $SrTiO_3$ 系の酸化物を主成分とし、これを 100 重量部としたとき、 BaO : 0.2~0.8 重量部、 CuO : 0.05~0.25 重量部、および Ag_2O : 0.05~0.15 重量部を含有する組成範囲のパリスタ機能をもつ半導体セラミックスであることを特徴とする、請求項 1、請求項 2 または請求項 3 のいずれかに記載の積層 LC 型ノイズフィルタ。

なっている。

【0003】 空間に放出される電磁波ノイズに対しては、ノイズの発生源を金属ケース等でシールドしたり、逆に影響を受けやすい部位をシールドで覆うことにより対処される。また、機器には信号伝達や電源などの導線が接続されており、これらを通して出入りするノイズに対しては、ノイズフィルタ、あるいは EMI (Electromagnetic Interference) フィルタが用いられる。このノイズフィルタとは、導線を通して入ってくるノイズは排除し、必要な信号のみを通過させようとするものである。

【0004】 信号の周波数とノイズの周波数とは一般に大きく違っていて、ノイズフィルタはこの周波数によるインピーダンスの差を利用する。電子回路のフィルタは、コンデンサの C 要素と、コイルあるいはインダクタの L 要素とからなっていて、C 要素は並列に接続するとノイズを短絡して発生源に環流させ、L 要素は導線に直列に接続すればノイズ通過の抵抗となり、侵入や漏出を抑止する。これらの効果は一般的に周波数が高ければ高いほど大きく、ノイズフィルタは、基本的に低い周波数の信号を優先的に通過させ、高い周波数の通過を阻止するローパスフィルタの性格を持っている。

【0005】 しかしながら、情報の高密度化のため取り扱う信号周波数が高周波化し、100MHz、さらには 1GHz 以上となると、信号とノイズとの周波数が接近してくるので、フィルタとしては周波数の増加にともなう通過損失の増大、ないしはノイズの減衰効果をより一層急峻化させることが要求される。このためのフィルタは、単純な L 素子のみまたは C 素子のみいわゆる 2 端子構造のものではなく、L 要素と C 要素とを組み合わせる複合回路とした 3 端子構造のものが必要となってくる。

【0006】 電子機器において、高性能化、多機能化が進むにつれ、機器の内部と外部との間のノイズの出入り

だけでなく、機器内部の集積回路やチップ間での電磁波ノイズの干渉が問題となる。このため、例えばパーソナルコンピュータでは1台に数十個から数百個のEMIフィルタが使用される。これらに用いられるノイズフィルタは、実装面積をできるだけ小さくするだけでなく、より体積を小さくより軽量化することが要求され、しかも高性能でなければならない。

【0007】このような目的に対し、セラミックスと導電体を積層することによるチップ素子のコンデンサ、あるいはインダクタ、さらにC要素とL要素とを組み合わせ10 て一体化し、LとCとのT型複合回路を構成させた積層チップ複合ノイズフィルタが実用化されている。例えば、特開平4-267615号公報には、磁性体層と、インダクタとなる二つの帯状導電体線路とからなる積層体の中央部に開口部を設け、開口部の底には導電電極を設置し、この電極を二つの帯状導電体線路が直列に結ばれる結節部となし、その開口部に丁度入る形状にした上下に露出した導電体を持つ積層チップコンデンサ素子をはめ込み、二つのLの中間の結節点部Cで接地したT型の回路構成を有する複合ノイズフィルタの発明を提示している。このようにT型の等価回路とすることによりフィルタ性能は向上するが、積層体に開口部を設けたり、その開口部に丁度はめ込まれる別の焼成体を用意し、これを挿入するなど、製造工程の複雑化や、それに伴う性能の安定性に難点があると思われる。

【0008】また、特開平4-257112号公報には、帯状導電線路がフェライトシート上に形成され積層された積層チップインダクタ2要素と、このインダクタに隣接してバリスタ性を有する誘電体を用いた積層チップコンデンサ1要素とからなる、積層チップT型フィルタの発明が提示されている。このコンデンサ要素の対向電極の一方には、積層チップインダクタの帯状導電体線路がスルーホールにて接続され、他方の対向電極には、2方向に延びた接地用の引き出し電極が形成されている。この場合、コンデンサ要素にバリスタ機能を持たせた点に特徴があるが、帯状導電体線路やスルーホール等を設けたセラミック層を順次積み上げていき、スルーホールに、はんだや導電性の接着剤を充填して積層体を成形させていくため、その製造にはかなり手間を要すると思われる。

【0009】これら積層チップフィルタの対象とするのは、通常LSIやIC等の数Vで、最大でも1Aまでの低電圧、微小電流の回路である。ところがノイズには、例えば人体が触れることによる高電圧の静電気や、装置系内で発生するスイッチングノイズのような、高速かつ高電圧大電流のインパルスノイズがあり、これらが直接LSIなどに侵入すると、容易に内部の回路を破壊に至らしめる。これらは通常のノイズフィルタでは対応できないため、フィルタとは別に並列にバリスタを実装するなどして機器の保護がおこなわれている。これに対し、上記特開平4-257112号公報の発明のように、複合ノイズ

フィルタのコンデンサ要素の誘電体にバリスタ機能を持たせると、一つのノイズフィルタにて電磁波干渉ノイズとインパルスノイズの両者の対処が可能となり、実装面積低減に有意である。

【0010】このように、積層チップ型ノイズフィルタは、単機能素子からLとCとを組み合わせたT型の複合回路を持つ素子へと改良が加えられ、バリスタ機能なども取り込まれているが、その性能面、あるいは合理的な製造方法に関してはまだ多くの課題が残されている。

【0011】

【発明が解決しようとする課題】本発明の目的は、この積層チップ複合型のノイズフィルタの性能に関し、フィルタ効果をさらに向上させ、インパルスノイズに対しても抑止効果を大きくし、さらにより合理的な工程にてフィルタを製造しようとするものである。

【0012】

【課題を解決するための手段】本発明者らは、積層チップ型ノイズフィルタにおいて、そのフィルタ性能をより向上させるため、周波数の増加にともなうその減衰効果を急峻化させる方法を検討した。このようなフィルタ性能を向上させるには、一般にLやCの要素を増せばよいことはよく知られている。しかし積層チップ内に組み込んだ場合、その効果は必ずしも明確でなく、その上、要素の増加はその組立工数を大幅に増加させる。LとCとを組み合わせた複合型の積層チップ型ノイズフィルタとしては、その等価回路を図1に示すようなL要素がL₁、L₂の二つとC要素がC₁一つからなるT型のものがある。この複合フィルタは入出力端子1が二つと、グランド端子2が一つの3端子型である。端子1は、入力側と出力側が入れ替わっても効果に変わりはない。しかし、調査の結果、目的とする十分なフィルタ効果を得るためにはT型では性能がやや不足で、図2に示すように、さらにL要素L₃とC要素C₂とを一つずつ増した、ダブルT型とすればよいことがわかった。

【0013】このようなダブルT型の等価回路の積層チップ内への組み込みには、Lの要素は3個、Cの要素は2個必要で、従来のチップよりも多くの積層をおこなわねばならない。L要素は、ソフトフェライト層の上に導電体で直線、U字、ジグザグ、あるいは渦巻き等の帯状導電体線路パターンを描かせ、その上にさらにソフトフェライトを乗せたもので、導電体のパターンやソフトフェライト材の選択により、インダクタンスを変えることができ、要すればこれを2層以上重ねて各層導電線路を接続する。

【0014】C要素では、誘電体層の片面に対向電極の一方となる導電体を付着させ、その層の反対面にもう一方の対向電極導電体を設置する。C要素のキャパシタンスは、対向電極の面積、誘電材料およびその厚みにより選定できる。なお、この誘電体にバリスタ機能を有するものを用いれば、インパルス性ノイズに対する阻止効果

を持たすことができる。ことに本発明で採用するダブルT型回路では、C要素が2個あるので、いずれもバリスタ機能を有するC要素とすることにより、インパルス性ノイズ阻止機能がより一層強化される。

【0015】しかしながら、積層体は導電体の付着したセラミックスの薄層を多数枚積み上げる必要があることから、その要素数の増加は積み上げ枚数を増加させ、それに手間がかかるばかりでなく、層の反りなどの歪みや、導電体が付着していることにより、枚数が増すほど積層が不安定となり性能への影響が出てくる。

【0016】これに対し、グリーンシートの段階にて、AgやAgを主体とする導電層となる電極用ペーストを所要パターンに印刷などで付着させ、この導電体の施されたフェライトまたは誘電体のグリーンシートを積層して所要の素子構成とした後、軽く圧着させた状態にて焼成し一体化すれば、シート枚数が多少増加しても安定した性能が得られ、さらに量産にも適すると考えられる。しかし、ここで対処しなければならない問題は、(i)積層層界面におけるシートのそり、剥離、あるいはクラックやポアなどの欠陥発生、(ii)異種層の積層間界面での成分相互拡散による機能低下、および(iii)異層導電体間の電気的接続、などである。

【0017】(i)の、そりや異種層の接触によって生ずる欠陥は、一つには焼成温度を下げることににより対処できる。しかし、セラミックス化後に十分な特性を得るためには、グリーンシートの焼成温度をある程度高くしなければならない。

【0018】これに対し、導電体を付着させたグリーンシートを積層し焼成して一体化する場合、ソフトフェライト層と誘電体層との厚さ方向の配列順序を、厚さの中心に対し上下対称とすれば、そり、剥離、その他の異層間界面における欠陥の発生が大幅に低減されることがわかった。ソフトフェライトのグリーンシートと、誘電体のグリーンシートとは、昇温および焼成の過程における熱による変形挙動が大きく異なり、厚さ中心に対し非対称であれば積層体としては変形しやすい。ところが対称にすると変形が抑制され、そり、剥離、さらには欠陥も低減されるのである。

【0019】この場合、最外層すなわち積層体の最上層と最下層は、ソフトフェライトとすれば変形や欠陥発生抑止の効果がより大きくなる。これは焼成の過程において、誘電体のグリーンシートに比較して、ソフトフェライトのグリーンシートの方が変形が小さいためと考えられ、その上、軟磁性体で積層チップを覆う形となるので、磁気的なシールド効果もある。

【0020】(ii)の成分相互拡散は、グリーンシートの組成の影響もあるが、(i)の場合と同様、焼成温度を低くすることがより効果的であった。すなわち、サンドイッチ構造とし焼成温度をできる限り低くすることにより、(i)と(ii)との問題点の対処が可能となる。そこ

で、より低い温度にて十分な性能を得るための対策を検討の結果、とくにバリスタ性誘電体のグリーンシートの組成範囲を限定すればよいことが明らかになった。すなわち、バリスタ性能を有する誘電体としては、一般に SrTiO_3 で表されるセラミックスを用いるが、このSrの一部をPbで置換し、さらに助剤として B_2O_3 を少量添加するのである。これによって従来1000℃前後の焼成温度が必要であった誘電体が、900℃前後でも焼結密度を十分確保できた。また、ソフトフェライトの化学組成は、一般的に $\text{X-Fe}_2\text{O}_4$ の形で表されるもので、XはCu、Mn、Ni、Zn等であればよい。これらの組成により磁気特性や適用周波数が異なってくるが、焼成温度を低くしても得られる性能は大きくは変化しないことが確認された。

【0021】つぎに、(iii)の異層の導電体間の電気的接続は、ダブルT型のフィルタ回路とするため異なる層にあるLまたはCを形成している導電体を電気的に導通接続しなければならないことである。その場合、隣接する層の導電体を接続すればよい場合と、隣接する層の導電体とは接することなく、それよりさらに上または下にある導電層と接続する必要がある場合とがある。

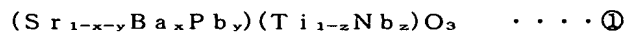
【0022】この異層の導電体間の接続は、ソフトフェライトまたは誘電体のセラミックス層に貫通させたスルーホールによることとした。これは、グリーンシートにて形成させた孔にAgを主成分とする導体ペーストをあらかじめ塗り込んでおき、積層し一体化焼成する際にこの導体も焼成させ、相互の層の導電体の電気的接続を得るものである。焼成温度が低いということは、セラミックス表面の導電体ばかりでなくこのスルーホールの充填用に汎用性の高いAg系の導電体を使用することが可能になる。また、焼成温度が高くなると導電材料がセラミックス内部に拡散し、所要の性能が得られなくなる危険性があるが、この問題も解消される。

【0023】以上のように、従来のT型ではなくダブルT型の等価回路を有し、かつコンデンサ素子にバリスタ機能を有する誘電体を用いた積層チップフィルタを、同時一体焼成をおこなうことにより製造する手段を種々検討した。そして、内部線路パターン、異層導電体間の接続、異種材の積層焼成によるその界面での剥離、クラックやポアの発生抑止、相互拡散による焼結不良、等の問題に関してその対策を明らかにし、それらの結果に基づき、さらにその限界条件を確認して本発明を完成させた。本発明の要旨は次のとおりである。

【0024】(1) 入出力端子と、グランド端子から構成される積層3端子型ノイズフィルタ素子であって、インダクタが入出力端子方向に3要素直列に配され、当該インダクタの直列間接続点の2ヶ所より、コンデンサがグランド端子との間に1要素づつ配されて、素子内にダブルT型の回路構造を有することを特徴とする積層LC型ノイズフィルタ。

【0025】(2) 表面に導電体線路が形成されたものを含む磁性体セラミックス層からなるインダクタ要素と、表面に形成された導電体が誘電体セラミックス層を挟んで対向しているものを含む誘電体セラミックス層からなるコンデンサ要素とが、それぞれ複数積層され、各導電体は、スルーホールにより相互に接続されているか、または積層体端面にまで延長されて外部接続端子を形成していることを特徴とする、上記(1)に記載の積層LC型ノイズフィルタ。

【0026】(3) 積層体の最上層と最下層とが磁性体層からなり、かつ厚さ方向の磁性体層と誘電体層の配列順序が厚さの中心に対し上下対称であることを特徴とする *



ここで、x、yおよびzは、原子量比を表し、それぞれ $0.2 \leq x \leq 0.4$ 、 $0.3 \leq y \leq 0.5$ 、 $0.001 \leq z \leq 0.008$ 、の範囲とする。

【0029】(5) 磁性体グリーンシートまたは誘電体グリーンシートの面上に、内部回路となるインダクタ要素またはコンデンサ要素のそれぞれの機能を有する導電体によるパターンを形成させ、導電体パターンにはその下部のグリーンシートにスルーホールをあけてそこに導電体を充填することにより、異層間の電気的接続をおこなわせるようにした部分を設けるか、またはシートの端面にまで延長した部分を設けて各層を積層し、焼成して一体化した後、一体化物の外面に沿って導電体を施工し、内部回路に接続させる入出力電極、またはグランド電極を形成させることを特徴とする、上記(1)、(2)、(3)、または(4)に記載の積層LC型ノイズフィルタの製造方法。

【0030】以上のように、本発明の方法ではグリーンシート上に内部導体としての導電体パターンおよびスルーホールの充填を印刷などにより施工し、これらを積層してから焼成し一体化する。この方法の場合、例えば、一枚のグリーンシート上に焼成後内部導体となる同一要素の回路パターンを多数個印刷し、各層を構成するシートにもそれぞれのパターンを同様に印刷して、上下のパターン位置を整合させて積層後、一個づつの複合チップに切り離し、焼成するというような手段を採用すれば、同一複合チップの量産も可能である。

【0031】

【発明の実施の形態】本発明の実施に際しては、対象周波数範囲、適用部位、使用電流範囲等により様々な形態を取り得るが、その一例を図面を使って模式的に説明する。

【0032】本発明のノイズフィルタとしての基本的な等価回路は、L要素3個およびC要素2個から構成される図2に示したダブルT型である。この回路を組み込んだ積層チップノイズフィルタは、図3に模式的斜視図を示す直方体の外観形状をしている。直方体の寸法は長さ2.0～4.5mm、幅1.0～3.0mm、高さ0.6～1.0mm程度のもの

*る、(1)または(2)に記載の積層LC型ノイズフィルタ。

【0027】(4) 磁性体は $X-Fe_2O_4$ （ただしXはCu、Mn、NiまたはZn）で示されるソフトフェライトであり、誘電体は下記①式で示される $SrTiO_3$ 系の酸化物を主成分とし、これを100重量部としたとき、 B_2O_3 :0.2～0.8重量部、 CuO :0.05～0.25重量部、および Ag_2O :0.05～0.15重量部を含有する組成範囲のバリスタ機能をもつ半導体セラミックスであることを特徴とする、(1)、(2)、または(3)に記載の積層LC型ノイズフィルタ。

【0028】

である。この図の直方体の左右の端面1aおよび1bには導電物質が設置され、外の回路に接続する電極になっている。この部分は図2の等価回路の端子1に相当する。2aおよび2bは、図2の等価回路の2に対応するグランド端子である。直方体の上下方向には、シート状のL要素とC要素とが積層されている。図3の場合、最上層3、最下層7、および中央部の層5とがL部であり、中間の層4および層6がC部である。

【0033】図4および図5に、これらの要素の積層状態の一例を示す。図4は積層体の断面の模式図であり、図5は導電体の形状パターンの例である。

【0034】図4において、8～14はAgやその合金等からできた導電体を示し、15～22はそれぞれセラミックス層を示す。ここで、導電体8はソフトフェライトの15と16との間に挟まれてL要素を構成し、導電体9と10とはバリスタ機能を持つ誘電体17を挟んで対向しておりC要素を構成している。その下の導電体11は、18および19のソフトフェライトに挟まれたL要素である。この11の導電体は、積層体全体の厚さ方向のほぼ中心の位置にあり、これより下のセラミックス層の配列順序は、11を対称面として、その上側と対称の同一配列としている。厚さ方向の磁性体層と誘電体層の配列順序を、厚さの中心に対し上下対称にすることにより、導電体を付着させたセラミックスのグリーンシートを積層してその状態で焼成し一体化する場合、そり、剥離、その他異層間界面における欠陥などの発生が、大幅に低減されるのである。

【0035】焼成の際の積層体の最上層、および最下層にはソフトフェライトのグリーンシートを設置するものとする。これは、磁性体のセラミックスが、上下層に設置されることにより、一つには磁性体層と誘電体層の配列順序を厚さの中心に対し上下対称とした効果が、より一層顕著に現れるからであり、もう一つは、完成した積層チップの外側に磁場の閉回路が構成されることにより、磁気シールド効果が増すためである。さらにまた、完成した積層素子の機械的強度を補償する効果もある。

【0036】積層体の、一つの磁性体層または誘電体層を構成するセラミックスのグリーンシートは1枚である

必要はなく、所要の特性または寸法とするために、導電体を設けてないものも含め複数枚を重ねてもよい。また、各層の積層順序は、上記のように厚さの中心に対し、上下対称とするが、それぞれの層の厚さについては、必ずしも上下対称である必要はない。それぞれの層の厚さに相違がある場合、積層順序に対する対称面の位置は板厚の寸法の中心である必要はなく、層の積層順序の中心であればよい。各層の寸法も対称であることは望ましいが、多少の差異があっても本発明の効果は十分発揮される。

【0037】図5はグリーンシート上に形成させた導電体の回路パターンの例で、(a)～(g)は図4に示した8～14の導電体のそれぞれに対応し、各パターンの左上に示した*印の位置を同じにして、最下部を(g)とし順次上に(a)まで積層する。(a)の8はL要素の例で、図4の導電体8に対応する。左側の末端1dはシートの端面に達していて、外部回路との接続用端子電極となっている。この場合、帯状導電線をジグザグパターンとするのは、磁性体のソフトフェライトとの接触長さを長くしてLのインダクタンス値を大きくしているためである。導電体線路の他方の末端には、その下のセラミックスを貫通する孔、すなわちスルーホール23があけられており、この孔を導電体で充填することにより他の層に存在する別の導電体パターンと接続できる。(b)および(c)の9および10は誘電体を挟んだ対向電極のパターンを示し、相互に非接触でC要素を形成する。24は上の層(a)のスルーホール23により接続されるランドマーク位置を示している。(c)のパターンの上下端2cおよび2dは、シートの端面にまで達していて、外部の接地用端子電極となる。25は対向電極10とは絶縁された、導電体に囲まれたスルーホールであり、上層にある導電体9と下層にある導電体11との接続を補完するために設けられている。(d)の11は、図2に示した等価回路の中央に位置するL₂に相当する導電体線路である。(e)、(f)および(g)のパターンは、(a)、(b)および(c)の順序を逆に配列したものであり、(g)のパターンの右側末端1cは外部との接続用端子となる。

【0038】これらの導電体回路パターンは、グリーンシート上にAgを主とする電極用ペーストを印刷して形成させる。積層された状態にて、それぞれL要素またはC要素が形成されればよく、各導電体の回路パターンを印刷するグリーンシートは、ソフトフェライトであっても、誘電体であってもかまわない。

【0039】一体化焼成時にスルーホールにより異層間の接続を得る方法は、回路パターンの導電体を施工するグリーンシートに空けられた孔に、スクリーン印刷法などで導電体と同じ導電ペーストか、あるいはより粘性の高い導電ペーストを塗り込んでおく。この状態で、各シートを素子の構成に積層して焼成する。その際に各グリーンシートが一体化するとともに、導電ペーストも焼成

されスルーホール内に通電路が形成されて電氣的接続が得られる。その後、図3に示したように積層端面に導電体を、焼き付けやスパッタリング等の方法で設置し、内部の導電体回路の外部への接続用の端子電極とする。

【0040】磁性体は、 $X-Fe_2O_4$ で示されるスピネル型結晶構造のソフトフェライトで、XはCu、Mn、NiまたはZnの、高周波損失の小さい一般的なものでよく、特には限定しない。

【0041】誘電体の組成は、 $(Sr_{1-x-y}Ba_xPb_y)(Ti_{1-z}Nb_z)O_3$ の形で表されるSrTiO₃系のペブロスカイト型構造の酸化物を主成分とし、これを100重量部とすると、助剤としてB₂O₃:0.2～0.8重量部、CuO:0.05～0.25重量部、およびAg₂O:0.05～0.15重量部を含有するものとする。ここで、x、yおよびzは、原子量比を表し、それぞれx:0.2～0.4、y:0.3～0.5、z:0.001～0.008の範囲とする。この誘電体の主成分はSrTiO₃系セラミックスのSrの一部をBaおよびPbで置き換え、Tiの一部をNbで置き換えたものである。

【0042】Srの一部をBaで置き換えるのは高い誘電率を得るためで、その場合Ba成分の範囲を原子量比にて0.2～0.4とするのは、0.2を下回るとき誘電率向上効果は十分でなく、0.4を超えると低温での焼結が困難になるからである。

【0043】Pbは、低温にしても十分な焼成結果を得るために重要な成分で、Srの一部を置換する必要がある。その置換の範囲は原子量比にて0.3～0.5とするが、これは、0.3を下回る場合、焼成温度を下げると焼結が不十分になり、0.5を超えると周波数が高くなった場合に十分なCとして作用しなくなるからである。

【0044】Tiの一部をNbで置換するのは、誘電体セラミックスの結晶に半導体の性格を付与し、バリスタ機能を持たせるためである。この場合置換量が0.001未満では半導体化が不十分であり、0.008を超えると焼結後の誘電体の強度が大きく劣化するので、その範囲を原子量比にて0.001～0.008とする。

【0045】助剤として添加するB₂O₃は、焼成時に液相を生じ、低温での緻密な焼結をもたらす効果がある。その含有量は、上記SrTiO₃系の酸化物100重量部に対し0.2～0.8重量部とする。これは0.2未満の場合効果が不十分であり、0.8を超えると焼成時に液相が素子外部に流出し、製品が得られなくなるからである。

【0046】CuOの添加は、誘電体のキャパシタンスを増加させ、C要素の容量を増す効果がある。これは焼成の際に粒界の選択酸化に寄与して、その絶縁性を高めるためである。しかし、0.05重量部以下の含有ではキャパシタンス増加の効果はなく、多すぎて0.25重量部を超えると、Cuが素子外部に流出して固化しC要素の機能を阻害するようになる。したがってその含有量は0.05～0.25重量部とする。

【0047】 Ag_2O は、導体の主体であるAgの誘電体内部への拡散を抑止する効果があり、焼成前のグリーンシート中に少量含有させることにより、焼成時の導電層の散逸やスルーホール内の導体の消失を阻止することができる。この目的には含有量を0.05~0.15重量部とする必要があるが、これは0.05重量部を下回る場合はその効果が十分でなく、0.15重量部を超えて含有すると粒界に偏析し粒界の絶縁性を低下させるからである。

【0048】これらの、磁性体または誘電体の積層用のシートは、従来セラミックスの薄層を製造する方法に準じておこなえばよい。すなわち、それぞれの原料を配合後、大気中にて仮焼合成をおこない、X線分析などで所定物質が得られていることを確認後、これを粉碎して整粒し、有機溶剤とバインダーを混合させて練成し、ドクターブレード法等を用いてグリーンシートにする。L要素の帯状導電層線路、C要素の電極層、あるいはスルーホールの充填等の内部導体は、電極用ペーストの印刷等の方法にてグリーンシート上に形成させる。これら導電体パターンを形成させたシートを積層し素子を構成させるが、その際、素子の機械的強度の補償や寸法調整のため、導電体パターンを形成させていない磁性体または誘電体のシートをダミーとして適宜挿入し積層してもよい。

【0049】このように、回路パターンを形成させたグリーンシートは所定の構成に積層し、その積層状態で焼成一体化する。焼成温度は、通常1000℃前後でおこなわれるが、上記のようにして得た積層体の焼成は820~9

20℃とするのが好ましい。これは820℃を下回る温度では、焼結が十分おこなわれず所要性能が得られないからであり、920℃を超えると、そりや剥離が生じやすくなるばかりでなく、Ag系の導電ペーストが使えなくなり、高価なAg-Pd系のペーストを使わなければならなくなる。

【0050】

【実施例】

【実施例1】素子の寸法として、幅2.0mm、長さ1.25m、厚さ0.8mmの、複合積層LC型ノイズフィルタを試作した。

【0051】磁性体は、モル%にて ZnO :30%、 NiO :14%、 CuO :8%、残部 Fe_2O_3 からなる組成の固溶体のソフトフェライトを用い、誘電体は $(\text{Sr}_{1-x-y}\text{Ba}_x\text{Pb}_y)(\text{Ti}_{1-z}\text{Nb}_z)\text{O}_3$ の x 、 y 、 z の値をそれぞれ変え助剤の B_2O_3 、 CuO 、および Ag_2O の含有量もそれぞれ変えたものとした。これらの原料を配合後、大気中にて仮焼合成して、X線分析により所定物質が合成されていることを確認し、平均粒径0.8 μm に整粒した後、有機溶剤にトルエン、バインダーとしてPVBを用いスラリーを作製し、粘性を調整後、ドクターブレード法にてそれぞれ100 μm 厚のグリーンシートを作製した。

【0052】表1に、作製した素子に用いた誘電体の組成を示す。

【0053】

【表1】

表 1

試 番	誘電体 主成分 置換比 (モル比)			誘電体添加助剤 (重量部 (主成分100))			評 価			備 考
	Ba	Pb	Nb	B ₂ O ₃	CuO	Ag ₂ O	誘電率 ε	焼成結果	素子性能	
1	*0.15	*0.55	0.004	0.04	0.15	0.10	2830	良好	機能不良	比較例
2	0.20	0.50	0.004	0.04	0.15	0.10	3020	良好	良好	本発明範囲
3	0.30	0.40	0.004	0.04	0.15	0.10	3410	良好	良好	〃
4	0.40	0.30	0.004	0.04	0.15	0.10	3700	良好	良好	〃
5	*0.45	*0.25	0.004	0.04	0.15	0.10	3950	良好	機能不良	比較例
6	0.30	0.40	*0.0005	0.04	0.15	0.10	3990	良好	機能不良	〃
7	0.30	0.40	0.001	0.04	0.15	0.10	3850	良好	良好	本発明範囲
8	0.30	0.40	0.004	0.04	0.15	0.10	3410	良好	良好	〃
9	0.30	0.40	0.008	0.04	0.15	0.10	3120	良好	良好	〃
10	0.30	0.40	*0.009	0.04	0.15	0.10	3070	焼結不良	—	比較例
11	0.30	0.40	0.004	*0.10	0.15	0.10	3660	焼結不良	—	〃
12	0.30	0.40	0.004	0.20	0.15	0.10	3510	良好	良好	本発明範囲
13	0.30	0.40	0.004	0.40	0.15	0.10	3410	良好	良好	〃
14	0.30	0.40	0.004	0.80	0.15	0.10	3220	良好	良好	〃
15	0.30	0.40	0.004	*0.90	0.15	0.10	2970	層間溶着	—	比較例
16	0.30	0.40	0.004	0.04	*0.03	0.10	3660	界面剥離	—	〃
17	0.30	0.40	0.004	0.04	0.05	0.10	3610	良好	良好	本発明範囲
18	0.30	0.40	0.004	0.04	0.15	0.10	3410	良好	良好	〃
19	0.30	0.40	0.004	0.04	0.25	0.10	3220	良好	良好	〃
20	0.30	0.40	0.004	0.04	*0.28	0.10	3170	層間溶着	—	比較例
21	0.30	0.40	0.004	0.04	0.15	*0.03	3620	界面剥離	—	〃
22	0.30	0.40	0.004	0.04	0.15	0.05	3580	良好	良好	本発明範囲
23	0.30	0.40	0.004	0.04	0.15	0.10	3410	良好	良好	〃
24	0.30	0.40	0.004	0.04	0.15	0.15	3380	良好	良好	〃
25	0.30	0.40	0.004	0.04	0.15	*0.18	3350	良好	機能不良	比較例

* 印は本発明範囲外

【0054】作製した磁性体シートおよび誘電体シートをパターン印刷用のサイズに切断し、次いで異層導電体間の導通を得るための、直径200μmのスルーホールを所定位置にあげた。導電体の回路パターンは図5に示したものとし、図5のパターンの(a)、(c)、(d)、(f)および(g)は磁性体のグリーンシートの上に、(b)および(e)は誘電体のグリーンシートの上にスクリーン印刷法にてそれぞれ導電体を印刷した。導電体はAgを主とする電極用ペーストで、厚さは10μmとし、印刷時に同じペーストをスルーホールに塗り込んだ。これらの導電体回路パターンを印刷したシートを、下から(g)～(a)の順に上へ積み上げ、さらに最上部の(a)の上には磁性体のグリーンシートを乗せた。これによって、図4に示したものと

間の焼成をおこなった。

【0055】焼成後の一体化積層体について、そり、クラック、内部の導電体のセラミックスへの拡散等を調べて不良品を排除し、良品は端面にAgを印刷して、外部接続端子とした。このようにして得られた素子は、ノイズフィルタとしての性能を調査した。この誘電体組成と一体化焼成後の評価の結果も合わせて表1に示す。

【0056】本発明の素子に対し、誘電体組成は焼成の成否およびその性能に大きな影響を及ぼしており、誘電体組成により素子の良否がほぼ決定される。表1の結果から明らかなごとく、誘電体の組成を本発明の定める組成範囲とすれば、相対的に低温の一体化焼成において、積層素子の欠陥は発生せず、性能のすぐれたノイズフィルタ素子が得られることがわかる。また、従来のT型の

15

等価回路を有する積層LC型ノイズフィルタに比較し、本発明のフィルタはノイズ減衰域がより広帯域まで拡大できることが明らかであった。

【0057】

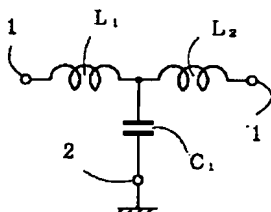
【発明の効果】本発明によれば、積層チップ複合型のノイズフィルタにおいて、その通常の電磁波干渉ノイズに対するフィルタ効果をさらに向上させるばかりでなく、インパルスノイズに対してもより一層抑止効果を大きくできる。この効果は従来のT型等価回路に対し、ダブルT型としたことによっている。このような回路要素の増加は、積層チップ製造の困難さを拡大するが、歪みを少なく一体化焼成する本発明の方法により、製造を容易にすることができる。

【図面の簡単な説明】

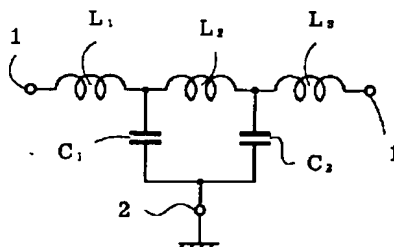
【図1】ノイズフィルタに用いられる、T型の等価回路である。

【図2】ノイズフィルタのダブルT型の等価回路である。

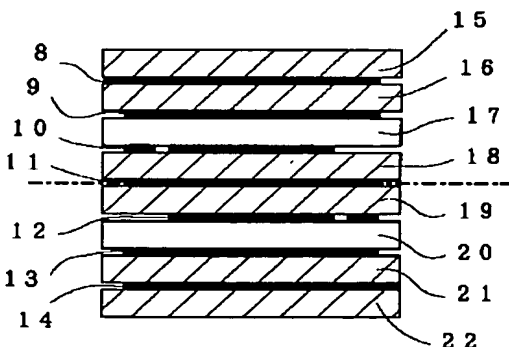
【図1】



【図2】



【図4】



16

【図3】本発明に係る積層チップ型ノイズフィルタの構成を示す模式的斜視図である。

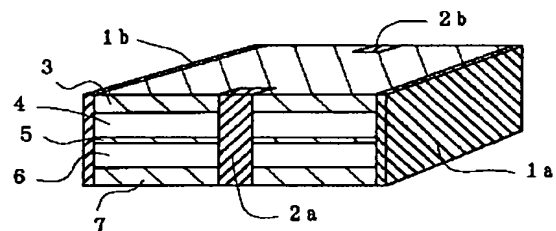
【図4】積層チップ型ノイズフィルタの導電体、磁性体層および誘電体層の厚さ方向の配列を示す断面の模式図である。

【図5】図4に示す積層チップ型ノイズフィルタの、各層における導電体のパターンの例を示す図である。

【符号の説明】

- 1 入出力端子
- 10 1a、1b、1c、1d 入出力端子電極
- 2 グランド端子
- 2a、2b、2c、2d グランド端子電極
- 3、5、7 L素子部
- 4、6、C素子部
- 8、9、10、11、12、13、14 導電体
- 15、16、18、19、21、22 磁性体層
- 17、20 誘電体層
- 23、24、25 接続用スルーホール

【図3】



【図5】

